

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06230961 A**

(43) Date of publication of application: 19 . 08 . 94

(51) Int. Cl

G06F 9/34
G06F 9/38
G06F 11/14

(21) Application number: **05040755**(22) Date of filing: **05 . 02 . 93**(30) Priority: **04 . 01 . 93 US 93 338**(71) Applicant: **MOTOROLA INC**(72) Inventor: **ALSUP MITCHELL
BECKER MICHAEL C**

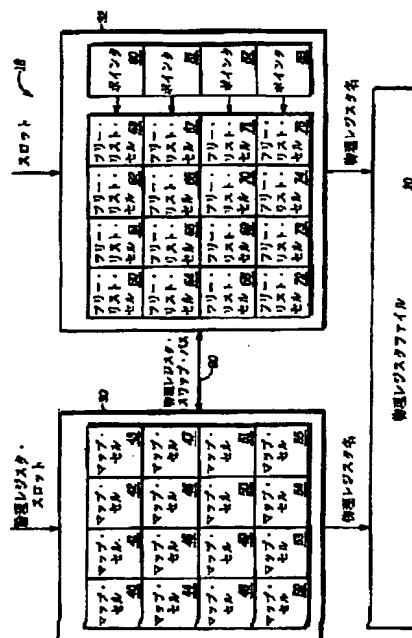
(54) **METHOD FOR EXECUTING REGISTER
REINSTRUCTION BY PROVIDING BACKUP
FUNCTION IN DATA PROCESSING SYSTEM**

(57) Abstract:

PURPOSE: To provide a method for executing a register reinstruction by providing a backup function in a data processing system.

CONSTITUTION: A register reinstruction device 18 is constituted of a logical and physical(LP) map 30, a free list 32, and an inside swap bus 90 for exchanging information between those two devices. This register reinstruction hardware 18 is connected to an instruction sequencer and an instruction decode/issue logic.

COPYRIGHT: (C)1994,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-230961

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/34	3 3 0	9189-5B		
9/38	3 8 0 B	9193-5B		
11/14	3 1 0 B	7313-5B		

審査請求 未請求 請求項の数 3 F D (全 18 頁)

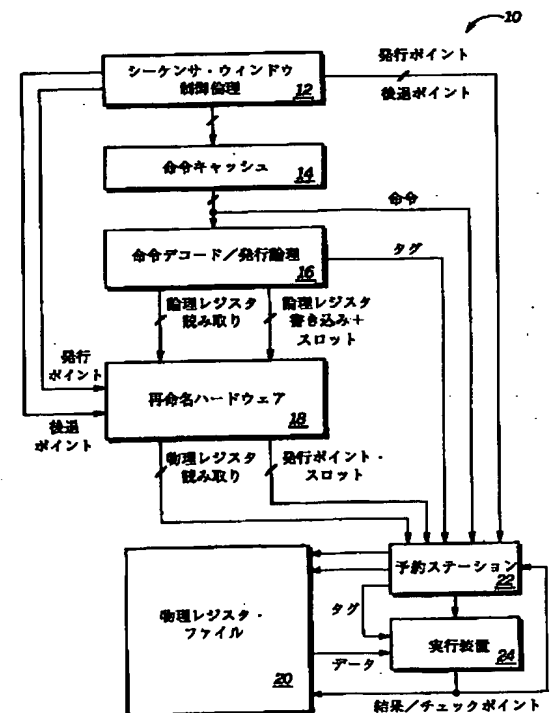
(21)出願番号	特願平5-40755	(71)出願人	390009597 モトローラ・インコーポレイテッド MOTOROLA INCORPORATED RED アメリカ合衆国イリノイ州シャンパーグ、 イースト・アルゴンクイン・ロード1303
(22)出願日	平成5年(1993)2月5日	(72)発明者	ミッチェル・アルサップ アメリカ合衆国テキサス州オースティン、 ケンパー・コープ2103
(31)優先権主張番号	0 0 0 3 3 8	(72)発明者	マイケル・シー・ベッカー アメリカ合衆国テキサス州オースティン、 リング・テイル・リッジ1903
(32)優先日	1993年1月4日	(74)代理人	弁理士 大賀 進介 (外1名)
(33)優先権主張国	米国 (U S)		

(54)【発明の名称】 データ処理システムにおいてバックアップ機能を備えてレジスタ再命名を実行する方法

(57)【要約】 (修正有)

【目的】 データ処理システムにおいて、バックアップ機能を備えて、レジスタ再命名を実行する方法。

【構成】 レジスタ再命名装置18は、論理・物理 (L P) マップ30、フリー・リスト32、およびこの2つの間で情報を交換するための内部スワップ・バス90によって構成される。前記レジスタ再命名ハードウェア18は命令シーケンサ12および命令デコード/発行論理16に接続される。



【特許請求の範囲】

【請求項1】 データ処理システム（10）であって、前記システムは：命令パケットをデコードし、発行し、経路設定するための命令順序付け手段（12, 14, 16）；前記命令順序付け手段（12, 14, 16）に結合されており、前記命令パケット内の所定数の命令を実行するための実行手段（22, 24）；前記実行手段

（22, 24）に結合されており、所定数の物理レジスタ内に、複数のデータ・オペランドを格納するためのレジスタ記憶手段（20）；ならびに前記レジスタ記憶手段（20）および前記命令順序付け手段（12, 14, 16）に結合されており、内部バス（90）を介してフリー・リスト（32）に結合された論理・物理（LP）レジスタ・マップ（30）を有するところのレジスタ再命名手段（18）であって、前記レジスタ再命名手段

（18）は、前記命令順序付け手段（12, 14, 16）から所定数の論理レジスタ番号および制御信号を受け取り、これに応答して複数の論理・物理レジスタ・マッピングを生成するところの前記レジスタ再命名手段；によって構成されることを特徴とするデータ処理システム（10）において；命令パケットをデコードする前記命令順序付け手段（12, 14, 16）に応答して、複数の命令発行チェックポイントのそれぞれにおいて発生する物理レジスタ・マッピングの現在セットを維持し、ならびに前記命令順序付け手段（12, 14, 16）を以前の命令発行チェックポイントへとバックアップするための方法であって、前記方法は：前記LPレジスタ・マップ（30）を初期化する段階であって、該段階は、レジスタ・マップ・セルの第1セットの各セル、およびフリー・セルの第1セットの各セルの中に、一意の物理レジスタ名を格納し、前記フリー・セルのそれぞれに結合された制御ラッチ内の1つのビットを、第1論理値に設定することによって、前記LPレジスタ・マップを初期化する段階；前記レジスタ・マップ・セルの第1セットに格納された、第1宛先レジスタ群内の一意の物理レジスタ名をそれぞれ、選択した数のフリー・セル内の第1ラッチから割り当てられた物理レジスタ名と、前記内部バス（90）を介して交換し、前記の選択された数の各フリー・セルに結合された前記制御ラッチ内の前記ビットを切り換えて、その一方で同時に、第1命令発行チェックポイントにおいて第1命令パケットをデコードする前記順序付け手段に応答して、前記レジスタ・マップ・セルの第1セット内に格納された第1ソース・レジスタ群の一意の物理レジスタ名をそれぞれ、前記レジスタ・マップ・セルの第1セットから、レジスタ・マップ・セルの第2セットの中にコピーする段階；第2命令発行チェックポイントにおいて、新しい命令パケットが前記命令順序付け手段（12, 14, 16）によって発行された後に、前記各フリー・セルを前記新しい宛先レジスタ名群で更新する段階であって、該段階は、前記新しい

宛先レジスタ名群を、新たに選択された数の各フリー・セル内の第1ラッチから新たに割り当てられた物理レジスタ名と交換し、前記新たに選択された数の各フリー・セルに結合された前記制御ラッチ内の前記ビットを切り換えることによって、前記各フリー・セルを前記新しい宛先レジスタ名群で更新する段階；ならびに前記LPレジスタ・マップ（30）を、前記命令順序付け手段が指定した前記の以前の命令発行ポイントに復元する段階であって、該段階は、現在命令発行チェックポイントにおける前記フリー・セルの前記制御ビットの論理状態を検査して、前記の以前の命令発行チェックポイントと、前記現在チェックポイントとの間で発行された前記命令発行チェックポイントにおいて、相補論理状態を有する、前記フリー・セルの前記制御ビットの第1ビットを検索し、ならびに前記各制御ビットを、前記現在命令発行チェックポイントと、前記命令順序付け手段（12, 14, 16）が指定した前記の以前の命令発行チェックポイントとの間で切り換えることによって、前記LPレジスタ・マップ（30）を、前記命令順序付け手段が指定した前記の以前の命令発行ポイントに復元する段階；によって構成されることを特徴とするところの、命令パケットをデコードする前記命令順序付け手段（12, 14, 16）に応答して、複数の命令発行チェックポイントのそれぞれにおいて発生する物理レジスタ・マッピングの現在セットを維持し、ならびに前記命令順序付け手段（12, 14, 16）を以前の命令発行チェックポイントへとバックアップするための方法。

【請求項2】 データ処理システム（10）であって、前記データ処理システムは、所定数の命令発行チェックポイントのそれぞれにおいて命令パケットをデコードするための命令順序付け手段（12, 14, 16）、前記命令順序付け手段（12, 14, 16）に結合されている前記命令順序付け手段が発行する命令を実行するための実行手段（22, 24）、ならびに内部バス（90）を介してフリー・リスト（32）に結合された論理・物理（LP）マップ（30）によって構成されるレジスタ再命名手段（18）を有しており、また前記レジスタ再命名手段（18）は、前記命令順序付け手段（12, 14, 16）が、各命令パケットに1つもしくは複数の命令を含むところの複数の命令パケットのそれぞれを発行すると直ちに、所定数の論理レジスタを所定の物理レジスタ・セットに割り当てることを特徴とするところのデータ処理システム（10）において、レジスタ再命名を実行する方法であって、前記方法は：前記レジスタ再命名手段（18）内の前記LPレジスタ・マップ（30）を初期化する段階であって、該段階は、前記LPレジスタ・マップ（30）内のレジスタ・マップ・セルの第1セットの各セル、および前記フリー・リスト内のフリー・セルの第1セットの各セルの中に、一意の物理レジスタ名を格納し、前記各フリー・セルに結合された制御ラ

ッチ内の1つのビットを、第1論理値に設定することによって、前記LPレジスタ・マップ(30)を初期化する段階；前記レジスタ・マップ・セルの第1セット内に格納されているところの、第1命令発行チェックポイントにおいて発行される第1命令パッケージによって指定される第1宛先レジスタ群の一意の物理レジスタ名をそれぞれ、選択された数のフリー・セル内の第1ラッチから割り当てられた物理レジスタ名と交換し、前記の選択された数のフリー・セルに結合された前記制御ラッチ内の前記ビットを切り換え、その一方で同時に、前記第1命令パッケージをデコードする前記命令順序付け手段(12, 14, 16)に应答して、前記レジスタ・マップ・セルの第1セット内に格納された、第1ソース・レジスタ群内の一意の物理レジスタ名をそれぞれ、前記レジスタ・マップ・セルの第1セットから、レジスタ・マップ・セルの第2セットの中にコピーする段階；第2命令発行チェックポイントにおいて、つぎの命令パッケージが前記命令順序付け手段によって発行された後に、前記各フリー・セルを新しい宛先レジスタ名群で更新する段階であって、該段階は、前記新しい宛先レジスタ名群を、新たに選択された数の各フリー・セル内の第1ラッチから新たに割り当てられた物理レジスタ名と交換し、前記の新たに選択された数の各フリー・セルに結合された前記制御ラッチ内の前記ビットを切り換えることによって、前記各フリー・セルを新しい宛先レジスタ名群で更新する段階；ならびに前記LPレジスタ・マップ(30)を、前記命令順序付け手段(12, 14, 16)が指定する指定命令発行チェックポイントに復元する段階であって、該段階は、現在命令発行チェックポイントにおける前記フリー・セルの前記制御ビットの論理状態を検査して、前記指定命令発行チェックポイントと、前記現在チェックポイントとの間で発行された前記命令発行チェックポイントにおいて、相補論理状態を有する、前記フリー・セルの前記制御ビットの第1ビットを検索し、ならびに前記各制御ビットを、前記現在命令発行チェックポイントと、前記指定命令発行チェックポイントとの間で切り換えることによって、LPレジスタ・マップ(30)を指定命令発行チェックポイントに復元する段階；によって構成されることを特徴とするレジスタ再命名を実行する方法。

【請求項3】 命令パッケージをデコードするための命令順序付け手段(12, 14, 16)、前記命令順序付け手段(12, 14, 16)に結合されていて前記命令順序付け手段(12, 14, 16)が発行する命令を実行するための実行手段(22, 24)、ならびにレジスタ再命名手段(18)であって、前記レジスタ再命名手段は、論理・物理(LP)マップ(30)およびフリー・リスト(32)によって構成されており、前記命令順序付け手段(12, 14, 16)が前記命令パッケージを発行すると直ちに、所定数の論理レジスタを、所定の物理

レジスタのセットに割り当てるための前記レジスタ再命名手段(18)を有するデータ処理システム(10)内において、レジスタ再命名を実行する方法であって、前記方法は：前記レジスタ再命名手段(18)内の前記LPレジスタ・マップ(30)を初期化する段階であって、該段階は、前記LPレジスタ・マップ(30)内のレジスタ・マップ・セルの第1セットの各セル、および前記フリー・リスト内のフリー・セルの第1セットの各セルの中に、一意の物理レジスタ名を格納し、前記各フリー・セルに結合された制御ラッチ内の1つのビットを、第1論理値に設定することによって、LPレジスタ・マップ(30)を初期化する段階；前記レジスタ・マップ・セルの第1セット内に格納された、第1宛先レジスタ群内の一意の物理レジスタ名のそれぞれを、選択された数のフリー・セル内の第1ラッチから割り当てられた物理レジスタ名と交換し、前記の選択された数の各フリー・セルに結合された前記制御ラッチ内の前記ビットを切り換え、その一方で同時に、第1命令発行チェックポイントにおいて第1命令パッケージをデコードする前記命令順序付け手段(12, 14, 16)に应答して、前記レジスタ・マップ・セルの第1セット内に格納された、第1ソース・レジスタ群内の一意の物理レジスタ名のそれぞれを、前記レジスタ・マップ・セルの第1セットから、レジスタ・マップ・セルの第2セットの中にコピーする段階；第2命令発行チェックポイントにおいて、つぎの命令パッケージが前記命令順序付け手段によって発行された後に、前記各フリー・セルを新しい宛先レジスタ名群で更新する段階であって、該段階は、前記新しい宛先レジスタ名群を、新たに選択された数のフリー・セル内の第1ラッチから新たに割り当てられた物理レジスタ名と交換し、前記の新たに選択された数の各フリー・セルに結合された前記制御ラッチ内の前記ビットを切り換えることによって、前記各フリー・セルを新しい宛先レジスタ名群で更新する段階；ならびに前記命令順序付け手段(12, 14, 16)を介して、前記第1命令パッケージ内の1つまたは複数の命令が実行を完了したか否かを判断し、前記レジスタ再命名手段(18)に命令後退チェックポイントを発行して、前記第1命令パッケージ内の1つまたは複数の命令が完了したことを示す段階；前記LPレジスタ・マップ(30)を分岐命令発行チェックポイントに復元する段階であって、該段階は、現在命令発行チェックポイントにおける前記フリー・セルの前記制御ビットの論理状態を検査して、相補論理状態を有する、以前の命令発行チェックポイントの前記制御ビットの第1ビットを検索し、ならびに前記各制御ビットを、前記現在命令発行チェックポイントと、前記分岐命令発行チェックポイントとの間で切り換えることによって、前記LPレジスタ・マップ(30)を分岐命令発行チェックポイントに復元する段階；によって構成されることを特徴とするところのレジスタ再命名を実行す

る方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は一般にデータ・プロセッサに関し、より具体的にはレジスタ再命名を用いるデータ・プロセッサに関する。

【0002】

【従来の技術】推論的に命令（例：分岐）を実行するデータ・プロセッサは、誤った分岐予測の場合のように、「推論的」な命令をデータ・プロセッサが完全に実行できない場合に、データ・プロセッサの状態を復元する機構を備えなければならない。通常、これらのデータ・プロセッサは、アーキテクチャ上の実行の流れから見て厳正な意味の実行順序を緩和して、これにより、命令のダイナミックな再配列を可能にすることによって、データ・プロセッサ全体の性能を改善する。分岐予測の誤りまたは命令の例外から、データ・プロセッサが実行する命令実行順序が、アーキテクチャ上プロセッサ・モデルが要求する意味から逸脱する場合がある。そのような場合には、データ・プロセッサは、あたかも分岐の予測誤りの結果出された命令が発生しなかったかのように、当該分岐予測の誤りまたは例外状態が発生した時点または発生する前の発行ポイントへと、バックアップ動作を実行する必要がある。したがって、膨大な数の予測および／または例外が発生する可能性がある場合には、データ・プロセッサは、アーキテクチャ上の正しい順序を復元するために、迅速なバックアップ動作を実行する機構を必要とする。

【0003】既知の高性能データ・プロセッサは通常、物理レジスタの使用を介して、高速データ記憶を処理しており、この方法によってプログラムは、必要なデータ・オペランドが格納されている指定の物理レジスタを指定する。一般に、命令を符号化すると、プログラムが使用できる物理レジスタの数が制限される。たとえば、2個のソース・レジスタと1個の宛先物理レジスタを扱う32ビット符号化機能では、物理レジスタの最大数は32である（この場合、符号化された各フィールドは5ビットの命令符号化を用いる）。高度なパイプライン方式のコンピュータ・アーキテクチャでは、レジスタ内のデータ記憶期間が長くなっており、多くのプログラムがより多くの物理レジスタを利用できるというメリットを受けることができる。命令の符号化を確保しながら、より多くの物理（ハードウェア）レジスタを提供するために、データ処理システムが採用する1つの機構がレジスタ再命名である。この再命名機構は、命令の符号化フィールドにある元の論理（プログラム）レジスタ番号を、物理レジスタのプール内に割り当てることによって動作する。この論理レジスタは、命令の実行中にプログラムが操作するものである。物理レジスタのプールは一般に、構築された（architected）レジスタの数より大きい

（すなわち数が多い）。システムがリセットされると、データ処理システムがエミュレートしている命令セット・アーキテクチャの各論理レジスタに、これを表す物理レジスタが割り当てられる。現在割り当てられていない物理レジスタはフリー・リスト内に保存される。

【0004】

【発明が解決しようとする課題】レジスタ割当は、プログラムによって決定される。最初、すべての論理レジスタは、再命名機構によって、一意の物理レジスタ番号に割当られる。プログラムが、プログラム（論理）レジスタ値の変更を指定するたびに、再命名機構は、使用可能な物理レジスタのプールから新しい物理レジスタ（「被再命名」レジスタ）を探して、当該プログラム・レジスタに割り当てる。この変更されたプログラム・レジスタに対して読み取りを行うたびに、この新しい再命名レジスタを使用する。このため個々の論理レジスタは、任意のときにおいて、1つまたは複数の再命名（物理）レジスタに再割当できる。しかしながら、任意の時ににおいて、当該論理レジスタの最新のマッピングになるのは、ただ1つの物理レジスタ・マッピングだけである。分岐を越えた高度な命令の推論的な実行を可能にするためには、データ処理システムを以前のマッピングにバックアップする機能が必要になる。したがって、データ処理システムのバックアップが必要になる場合は常に、古いレジスタ・マッピングを復元しなければならない。またクロック・サイクルごとに複数の命令を発行できる高性能データ処理システムでは、レジスタ再命名機構は複数命令発行ハードウェアをサポートしなければならない。実質的には、レジスタ再命名機構は、複数の命令をバックアップする機能と、複数の命令に対するレジスタ・マッピングの両方をサポートしなければならない。

【0005】

【課題を解決するための手段】データ処理システムにおいて、バックアップ機能を備えてレジスタ再命名を実行する方法が提供される。このデータ処理システムは、所定数の実行装置に対する命令パケットのデコードと発行を制御するために、命令順序付け・発行論理を備えている。レジスタ再命名機構は命令順序付け・発行論理および実行装置に結合されている。このレジスタ再命名機構は論理・物理（LP）レジスタ・マップおよびフリー・リストによって構成されており、これは命令順序付け手段が各命令パケットを発行すると直ちに、所定数の論理レジスタを、所定の物理レジスタ・セットに割り当てるためのものである。

【0006】このレジスタ再命名機構は、LPレジスタ・マップ内のレジスタ・マップ・セルの第1セットの各セル、およびフリー・リスト内のフリー・セルの第1セットの各セルの中に、一意の物理レジスタ名を格納し、各フリー・セルに結合された制御ラッチ内の1つのビットを、第1論理値に設定することによって、LPレジ

50

よって構成され、フリー・リスト32は、4個の命令スロットそれぞれのフリー物理レジスタを格納するために、16個のフリー・リスト・セル60～75によって構成されている。

【0013】命令（または命令群）が命令デコード／発行論理16によってデコードされるたびに、読み取り対象となる論理レジスタは、それらの値が見つかる物理レジスタ「名」を探すための索引を、再命名ハードウェア（18）内の論理・物理（LP）マップ30に付ける。この「名前」は予約ステーション22に送られる。本発明に基づき、書き込み対象となる論理レジスタは、フリー・リスト32から物理レジスタ名を取り出し、物理レジスタ・スワップ・バス90を介して、当該物理レジスタ名をLPマップ30内に入れる。この時点でLPマップ30は、LPマップ30内のマッピング配列の一部である1個のマップ・セル、たとえばマップ・セル40内に、新しいレジスタ・マッピングが格納されることになる。したがってLPマップ30は、命令デコード／発行論理16が命令もしくは命令群をデコードされるたびに発生する異なるレジスタ・マッピング（論理・物理間）を格納する。フリー・リスト32は、フリー・リスト・セル60～75のそれぞれの中に、データ処理システム10が再使用できる使用可能な（「使用されていない」）物理レジスタを格納する。使用されていないレジスタとは、LPマップ30内に有効なエントリがない物理レジスタであり、そのため割当（マッピング）用に選択できる。各発行ポイントについて、フリー・リスト32は、一緒にデコードされた命令群が書き込める現在のフリー物理レジスタ名をすべて格納する。このフリー・リスト32は、命令スロット（SLOT）情報によって索引が付けられており、この情報は、ある命令の相対的位置を、同時にデコードされた他の命令に示すものである。

【0014】図3～図9は、データ処理システム10が本発明に従って実行するレジスタ再命名動作を順追って示したものである。この一連の例では、データ処理システム10は4個の論理レジスタ（R0～R3）と4個の発行ポイントを有しており、そのため、発行幅（IW）は4である。本発明では、レジスタ再命名動作を実行するのに必要な物理レジスタ（P）の数を1－1式で算出する。

【0015】

【数1－1】 $P = R * (IW + 1)$

このため、図3～図9に示す一連の例では、レジスタ再命名動作をサポートするのに必要な物理レジスタの数は20となる。

【0016】図3に、初期化（I0）の間に発生するレジスタ・マッピングを示す。初期化の間に、物理レジスタP0～P3がフリー・リスト32から取り出されて、物理レジスタ・スワップ・バス90を介して、LPマッ

プ30に転送される。このため図に示すように、論理レジスタR0～R3はLPマップ30内の物理レジスタP0～P3にそれぞれ割り当てられる。黒く塗られた領域は、LPマップ30およびフリー・リスト・セル32内の割り当てられていないセルを示している。このため、初期化時に、論理レジスタR0～R3はそれぞれ物理レジスタP0～P3に割り当てられ、物理レジスタP4～P19はフリー・リスト32の中に格納される。この初期化の結果、物理レジスタP0～P3が「可視」になる。実質的には、可視の物理レジスタは、LPマップ30内の、これに対応する論理レジスタによる索引が付けられている位置に見つかる。

【0017】図4に、レジスタ再命名シーケンスにおける第1発行ポイント（I1）を示す。第1発行ポイントでは、命令デコード／発行論理16は、以下の表に示すような4つのADD命令によって構成される第1命令パケット（PACKET1）をデコードする。

【0018】

【表1】

SLOT0	ADD (R1+R2) ->	R0
SLOT1	ADD (R1+R2) ->	R1
SLOT2	ADD (R1+R2) ->	R2
SLOT3	ADD (R1+R2) ->	R3

前述のように、フリー・リスト32は命令スロット（SLOT0～3）によって索引が付けられており、そのため第1ADD命令はSLOT0に割り当てられ、最後のADD命令はSLOT3に割当られる。そのため、命令SLOT0内ではP4がフリー物理レジスタなので、宛先論理レジスタR0は物理レジスタP4に割り当てられる。同様に、命令SLOT1内ではP5がフリー物理レジスタなので、宛先論理レジスタR1は物理レジスタP5に割り当てられる（以下同様）。発行ポイントI1では、物理レジスタP4～P7がフリー・リスト32から取り出されて、LPマップ30のマップ・セル104～107内にそれぞれ入れられる。そのため第1発行ポイント（I1）におけるR0～R3のレジスタ・マッピングはそれぞれP4～P7となる。

【0019】図11に示すように、本発明に基づくフリー・リスト・セル60～79はそれぞれ、2つの物理レジスタ名（すなわちLASTとCURRENT）、およびどの物理レジスタ名がCURRENTであるかを指定する1個のポインタ80～83（図2）を含んでいる。データ処理システム10が書き込み動作を実行するたびに、CURRENT物理レジスタ名が、前記のようにLPマップ30に転送され、LPマップ30からの物理レジスタ名は、フリー・リスト32内の、LASTの位置に入れられる。ついでポインタ（例：ポインタ80）が切り替わって、LASTがCURRENTになる。これにより前記のように、物理レジスタP4がフリー・リスト32から取り出されて、スワップ・バス90を介して

LPマップ30に転送される。その結果、P4が宛先論理レジスタR0に割当られ、可視となる。LPマップ30内でR0に以前割り当てられていた物理レジスタ名(P0)は、対応するフリー・リスト・セルのファースト(first)名ラッチ116(図11)の中に格納され、これによって「不可視」となる。不可視レジスタとは、論理的な意味で書き込まれたものであるが、分岐の予測誤りまたは例外によって、シーケンサ12が「バックアップ動作」を実行する必要があるれば、可視にできるものをいう。ついでポインタ80(図2)が切り替わって、割り当てられたLAST(不可視)物理レジスタ(P0)を、フリー・リスト・セル60内のCURRENTフリー物理レジスタに指定する。したがって、物理レジスタP0~P3は以前の初期化の時にR0~R3に割り当てられていたので、P0~P3は、それぞれフリー・リスト・セル60~63のファースト名ラッチ116(図11)の中に格納され、ポインタ(80)は、P0~P3をCURRENTフリー物理レジスタとして示すように切り換えられる。同様に、PACKET1内の命令が発行された結果、物理レジスタP4~P7が論理レジスタR0~R3に現在割り当てられている(「可視」になっている)ので、P4~P7は、図4の黒く塗られた部分が示すように、それぞれフリー・リスト・セル60~63のLAST名ラッチ120(図11)の中に格納される。

【0020】図5に示す第2発行ポイント(I2)では、命令デコード/発行論理16は、表IIに示すように3つのADD命令を含んでいる命令PACKET2をデコードする。

【0021】

【表2】

SLOT0	ADD (R1+R2) -> R3
SLOT1	ADD (R3+R2) -> R1
SLOT2	NOP
SLOT3	ADD (R1+R2) -> R2

前述のように、フリー・リスト32は命令スロットによって索引付けされている。したがって、第1ADD命令はSLOT0に割り当てられる。そのため、フリー・リスト32の命令SLOT0内では、P8がフリー物理レジスタであるので、宛先論理レジスタR3は物理レジスタP8に割り当てられる。同様に、宛先論理レジスタR1は、フリー・リスト32の命令SLOT1内ではP9がフリー物理レジスタであるので、物理レジスタP9に割り当てられる。SLOT2内でデコードされるNOP命令はレジスタ・マッピングに影響を及ぼさない。そのためフリー物理レジスタP10は、図5の矢印が示すように、SLOT2のために、隣接するフリー・リスト・セルにコピーされる。同様に、PACKET2でデコードされる命令はいずれも、論理レジスタR0のマッピングに影響を及ぼさないので、再命名ハードウェア18

は、図5に示すように、R0に対する以前のレジスタ・マッピング(P4)を、LPマップ30内で隣接するマップ・セルにコピーする。最後のADD命令は、宛先論理レジスタR2を、SLOT3内のフリー論理レジスタ(P11)で再命名する必要がある。このため第2発行ポイントにおけるR0~R3のレジスタ・マッピングは、図5に示すようにそれぞれP4, P9, P11, P8となる。LPマップ3内で以前割り当てられていた物理レジスタ名P5, P6, P7は、フリー・リスト・セル64~67(図2)内のLAST名の位置に入れられ、ラストがカレントになるように、ポインタ81が切り換えられる。

【0022】図6に示す第3発行ポイントでは、命令デコード/発行論理16は、以下の表IIIに示すように、2つのADD命令と2つのNOP命令によって構成される命令PACKET3をデコードする。

【0023】

【表3】

SLOT0	ADD (R1+R2) -> R0
SLOT1	NOP
SLOT2	ADD (R1+R2) -> R1
SLOT3	NOP

SLOT0でデコードされる第1のADD命令によって、論理宛先レジスタR0は、SLOT0内のフリー物理レジスタP12に再割当される。一方第2のADD命令によって、レジスタR1は、SLOT2内のフリー物理レジスタP14に再割当される。PACKET2でデコードされる命令は論理レジスタR2, R3のマッピングに影響を及ぼさないので、以前R2, R3にそれぞれ割り当てられていた物理レジスタP11, P18は、矢印が示すように、LPマップ30内の隣接するマップ・セル内にコピーされる。同様に、割り当てられなかったSLOT1およびSLOT3のフリー物理レジスタは、図7の矢印が示すように、フリー・リスト32内の隣接するフリー・リスト・セル内にコピーされる。このため第3命令発行ポイント(I3)におけるR0~R3のレジスタ・マッピングはそれぞれP12, P14, P11, P8となる。前述のように、以前割り当てられていた物理レジスタ(P4, P9)はラスト名ラッチ内に入れられ、ポインタはラスト名がカレント名になるように切り替わる。

【0024】図7に示すレジスタ再命名シーケンスの第4発行ポイント(I3)では、命令デコード/発行論理16は、以下の表IVに示すように3つのADD命令と1つのNOP命令によって構成される命令PACKET4をデコードする。

【0025】

【表4】

SLOT0	ADD (R1+R2) -> R0
SLOT1	ADD (R1+R2) -> R1

SLOT2 ADD (R1+R2) → R1
 SLOT3 NOP
 SLOT0内でデコードされる第1ADD命令によって、レジスタR0は、フリー・リスト32のSLOT0内のフリー物理レジスタであるP16に再割当される。SLOT1内でデコードされる第2ADD命令によって、R1は、SLOT1内のフリー物理レジスタであるP17に再割当される。第3ADD命令によって、R1は、フリー・リスト32のSLOT2内のフリー物理レジスタであるP18に再割当される。前述のように、NOP命令は、LPマップ30内のレジスタ・マッピングには影響を及ぼさない。パケット3内でデコードされる命令は論理レジスタR2, R3のマッピングには影響を及ぼさないので、図7に示すように、命令発行ポイントI4では、それらの以前の物理レジスタ・マッピングP11, P8はそれぞれ、隣接するマップ・セル内にコピーされる。このため、第4命令発行ポイントにおけるR0~R4のレジスタ・マッピングはそれぞれP16, P18, P11, P8となる。以前割り当てられていた物理レジスタ(P12, P14)は、矢印が示すように、フリー・リスト32内の対応するフリー・リスト・セルのラスト名ラッチ内に入れられる。ポインタが切り替わり、ラスト名の物理レジスタが、カレント名の物理レジスタになる。

【0026】本発明に基づくレジスタ再命名シーケンス中、最終的には、LPマップ30およびフリー・リスト32は共にラップアラウンドして、古い物理レジスタ名の上に上書きされる。実行装置24が、「バックアップ」発生之机が無く、上書きされた発行ポイント内のすべての命令の実行を完了する限り、これは問題を生じない。したがって図8に示す第5命令発行チェックポイント(I5)では、命令発行論理が、以下の表Vに示すような4つのADD命令によって構成される命令PACKET5をデコードする。

【0027】

【表5】

SLOT0 ADD (R1+R2) → R3
 SLOT1 ADD (R1+R2) → R1
 SLOT2 ADD (R1+R2) → R0
 SLOT3 ADD (R1+R2) → R2

図8に示すように、フリー・リスト32はラップアラウンドしており、そのため、使用可能な第1のフリー物理レジスタはP0~P3となる。PACKET5が発行された結果発生するレジスタ・マッピング(論理・物理間)は、前述のようにLPマップ30の中に格納される。このため、第5命令発行ポイントにおいて、論理レジスタR0~R3に対して発生するレジスタ・マッピングはそれぞれP2, P1, P3, P0となる。以前割り当てられていた物理レジスタ(P16, P18, P11, P8)は、矢印が示すように、フリー・リスト32内の

対応するフリー・リスト・セルのラスト名ラッチの中に入れられる。ここでも、ポインタが切り替わり、ラスト名の物理レジスタ(P8, P18, P16, P11)が、カレント名の物理レジスタとなる。

【0028】例外(例: 割り込み) 発生の結果、または分岐予測の誤りが原因で、データ処理システム10が、シーケンサ12の状態を以前の発行ポイントに復元する必要がある場合には、「バックアップ」動作が実行される。図3~図8に示すように、データ処理システム10が実行するレジスタ再命名動作全体を通じて、後退チェックポイント(RETIRE POINT)はずっと同じ場所にあり、命令デコード/発行論理16が各命令パケットを発行すると直ちに、シーケンサ12は発行ポイントのみ(例: I1~I5)を進ませた。本発明では、例外状況または分岐予測誤りが発生すると、シーケンサ12は、レジスタ再命名ハードウェア18に、最新の良好な発行ポイント(たとえばチェックポイントI2)を提供し、再命名ハードウェア18は「バックアップ」を行い、これによって物理レジスタ・マッピングを発行ポイントI2に存在するレジスタ・マッピングに復元する。このためシーケンサ12の管理下において、レジスタ再命名ハードウェア18は発行ポイントをチェックポイントI2まで戻す。したがってLPマップ30およびフリー・リスト32は、それらの発行ポイントを発行ポイントI2に移動する。本発明では、フリー・リスト32も、試みた最新の発行ポイント(I6)と、最新の良好な発行ポイント(I2)との間にある「カレント」ポインタ80~83のすべてを切り換える。これを行っている間、フリー・リスト32は、発行ポイントI2においてフリーであった物理レジスタを、物理レジスタのフリー・プールに復元する。図6に戻ると、論理レジスタR0~R3に対するLPマップ30内の物理レジスタ・マッピングはそれぞれP4, P9, P11, P8であった。このため図10(図9?)に示すように、LPマップ30およびフリー・リスト32は、発行ポイントI2(図6)に対し示されているのと同じのレジスタ・マッピングおよびフリー物理レジスタを反映する。

【0029】図10はLPマップ30のマップ・セル40(図2)をブロック図に示したものである。好適実施例では、LPマップ30は所定のマップ・セル40~55によって構成されており、各マップ・セルは、マップ・セル40と同一の構造を有している。図11(図10?)に示すように、初期化されると直ちに、シーケンサ12が提供する第1制御信号(CONTROL1)に回答して、初期物理レジスタ名が、マルチプレクサ110を介してラッチ112の中に格納される。このため論理レジスタR0~R3は前述のように、最初は物理レジスタP0~P3に割り当てられる。命令デコード/発行論理16が、論理宛先レジスタに対するレジスタ割当を変更する命令もしくは命令群をデコードするたびに、物理

レジスタ名 (PR) が S L O T 番号によってフリー・リスト 3 2 から検索されて、L P マップ 3 0 内のマップ・セルの中に格納される。パケット内 (例: P A C K E T 2) でデコードされる命令がいずれも、特定の論理レジスタ番号 (例: R 0) に対する物理レジスタ・マッピングを変更しない場合には、前記の特定の論理レジスタ番号に対して以前割り当てられていた物理レジスタ名 (すなわち P 4) が、当該命令パケットの発行ポイント (I 2) に関連するマップ・セルの中に転送される。したがって、マルチプレクサ 1 1 0 は初期物理レジスタ名 (すなわちフリー・リスト 3 2 から新しく割り当てられた物理レジスタ)、または以前のセルからの物理レジスタ名のいずれかを、ラッチ 1 1 2 の中に格納することができる。

【0030】図 1 1 はフリー・リスト 3 2 のフリー・リスト・セル 6 0 (図 2) をブロック図に示したものである。好適実施例では、フリー・リスト 3 2 は、所定数のフリー・リスト・セル 6 0 ~ 7 5 によって構成され、各フリー・リスト・セルは、フリー・リスト・セル 6 0 と同一の構造を有している。図に示すように、初期化されると直ちに、シーケンサ 1 2 が提供する第 2 制御信号 (CONTROL 2) に応答して、初期物理レジスタ名が、マルチプレクサ 1 1 4 を介してラッチ 1 1 6 の中に格納される。このため、フリー物理レジスタ P 4 ~ P 1 9 は、前述のように、命令スロット番号によってフリー・リスト 3 2 の中に格納される。命令もしくは命令群が論理レジスタに対する物理レジスタ・マッピングを変更するたびに、フリー・リスト 3 2 が更新される。したがって書き込み対象となる論理レジスタは、フリー・リスト・セル (例: セル 6 0) から物理レジスタ名を取り出し、マルチプレクサ 1 2 2 を介して、当該物理レジスタ名を L P マップ 3 0 に転送する。マルチプレクサ 1 2 2 は物理レジスタ名および S L O T 番号 (N) をスワップ・バス 9 0 (図 2) を介して位置づける。前述のように、フリー・リスト 3 2 は、各発行ポイントについて、一緒にデコードされる命令群が書き込めるのと同じ数のフリー物理レジスタ名を、各発行ポイントに対して格納する (すなわち、ライトバック (write-back) S L O T)。

【0031】フリー・リスト・セル 6 0 は 2 つの物理レジスタ名 (すなわち L A S T と C U R R E N T)、ならびにどの名前が C U R R E N T であるかを指定する 1 個のポインタ (CONTROL 4) を含んでいる。好適実施例では、CONTROL 4 信号は符号化信号 (CONTROL 4 = CONTROL 2 / CONTROL 3 *) であり、この信号の論理状態は、マルチプレクサ 1 1 4, 1 1 8 に対する制御信号の論理状態を検査することによって決定される。各書き込み動作の後、レジスタ再命名ハードウェア 1 8 は L P マップ 3 0 内の C U R R E N T 物理レジスタ名を、フリー・リスト 3 2 から割り当

てられているフリー物理レジスタ名と交換する。したがって、C U R R E N T 物理レジスタ名が L P マップ 3 0 に転送され、L P マップ 3 0 からの物理レジスタ名が、フリー・リスト内の L A S T 名の場所に入れられ、ポインタ 8 0 の 1 つのビットが、L A S T が C U R R E N T になるように切り替わる。L A S T 名が格納されるラッチは、ポインタ 8 0 が提供する CONTROL 4 の状態によって決定される。たとえば C U R R E N T 物理レジスタ名 (例: P 4) がラッチ 1 1 6 の中に格納された場合には、CONTROL 4 信号によって、MUX 1 2 2 はスワップ・バス 9 0 を介して、物理レジスタ P 4 を L P マップ 3 0 に提供する。ついで、論理レジスタに以前割り当てられていた物理レジスタ (例: P 0) は、ラッチ 1 2 0 (L A S T 名の場所) の中に入れられ、ポインタ 8 0 は、L A S T (ラッチ 1 2 0) が C U R R E N T になるように切り替わる。それぞれの命令発行ポイントに対してこのプロセスがひき続き行われる。このためシーケンサ 1 2 がバックアップを実行すると、レジスタ再命名ハードウェア 1 8 は、ポインタ 8 0 内のビットを切り換えることによって、以前のフリー物理レジスタを復元し、これにより CONTROL 4 信号は、P 0 に代わって P 4 をフリー物理レジスタに指定する。

【0032】図 1 2 は、本発明に基づくバックアップ機能を備えたレジスタ再命名順序付けの流れ図 2 0 0 である。図 1 2 に示すように、ステップ 2 0 2 では、シーケンサ 1 2 によって、再命名ハードウェア 1 8 は L P マップ 3 0 を初期化し、これによって物理レジスタの第 1 セット (例: P 0 ~ P 3) を、前述のように論理レジスタ R 0 ~ R 3 に割り当てる。ステップ 2 0 4 では、シーケンサ 1 2 は再命名ハードウェア 1 8 に対して、命令デコード/発行論理 1 6 によってデコードされる各命令パケットの命令ポイント番号を提供する。

【0033】ステップ 2 0 6 の間に、再命名ハードウェア 1 8 は、パケット内の各命令が、L P マップ 3 0 に問い合わせ、ソース論理レジスタの物理レジスタ名の位置を突きとめられるようにし、新しい物理レジスタ名を宛先論理レジスタに割り当てられるようにする。したがって宛先論理レジスタに対する物理レジスタ名が取り入れられて、前記宛先論理レジスタに以前割り当てられていた物理レジスタは、(前述のように) L P マップ 3 0 から外されて、フリー・リスト 3 2 の中に入れられ、

「不可視」となる。当該宛先論理レジスタに対応する論理レジスタに、命令が書き込みを行うと、可視の物理レジスタは不可視になる。そのため以前割り当てられていた可視の物理レジスタ (例: P 0) が不可視となるのは、再命名ハードウェア 1 8 が P 0 を、新しく割り当てられたレジスタ (例: P 4) が以前占めていたフリー・リスト 3 2 内の命令スロット (例: S L O T 0) に入れる場合である。ついで、この新しく割り当てられたレジスタ P 4 は L P マップ 3 0 内に入れられて可視となる。

【0034】ステップ208に示すように、例外状況または分岐予測誤りが発生する場合には、シーケンサ12は、レジスタ再命名ハードウェア18に対して、「バックアップ」動作が必要であることを知らせる。「バックアップ」を必要としない場合には、ステップ210で、実行装置24が、以前デコードされた命令の実行を完了したか否かをシーケンサが判断する。命令もしくは命令群が実行を完了している場合には、ステップ212で、シーケンサ12は、レジスタ再命名ハードウェア18に対して新しい後退ポイントを発行する。命令が完了していない場合には、命令デコード/発行論理16が新しい命令パケットをデコードし、シーケンサ12は、レジスタ再命名ハードウェア18に対して新しい発行ポイントを発行する。

【0035】付録Aは、本発明に基づきレジスタ再命名を実行するCモデルを、ソース・コード形式で示したものである。付録AのCモデルは、入ってくる論理レジスタ(例: R0~R3)を、物理レジスタ内に割り当て、つぎの命令発行サイクルのための対応表(LPマップ30)の中に新しいエントリを作る。ライン29~ライン32はつぎのマップ・エントリを初期化して、現在発行ポイントと同じマッピングを含むようにし、完了表を「未完了状態」に初期化する。命令パケット内のすべての命令が、レジスタ・マッピング(例: 記憶、分岐)を変更しない命令でもよいので、このアプローチは保存性が高い。ライン35~ライン38は、各命令がLPマップ30に問い合わせ、つぎの発行サイクルの割り当てに対して必要な更新を行えるようにする。したがってライン39~ライン44は、デコードされた命令からの論理レジスタに対応する、現在のLPマップ30内の物理レジスタを読み取る。

【0036】付録Aのライン46~ライン51は、つぎの命令発行サイクルのために、LPマップ30を更新する。この更新は「完了状態」変数をベースにしている。

割り当てべき新しい物理レジスタは、このマップ・エ*

```

Line 1 | # define NUMBER_OF_REGISTERS          (16)
Line 2 | # define NUMBER_OF_ISSUES              (6)
Line 3 | # define NUMBER_OF_PREDICTIONS (16)
Line 4 |
Line 5 | struct Register_Map {unsigned current NUMBER_OF_REGISTERS[,
Line 6 |                      new [2] [ NUMBER_OF_ISSUES ],
Line 7 |                      completed;
Line 8 |                      } map [ NUMBER_OF_PREDICTIONS ]; Line 9 |
Line 10 | unsigned issue_point,
Line 11 | retire_point;
Line 12 |
Line 13 | struct Instruction {unsigned current op_code,
Line 14 |                      destination,
Line 15 |                      source1
Line 16 |                      source2,
```

*ントリを以前使用していた命令セットの完了による循環待機索引順で、フリー・リスト32のセクションからもたらされる。割当フィールド(エントリ)は2つ維持されており、第1エントリは命令の実行の成功に対応し、第2エントリは実行の不成功に対応する。第1割当エントリは、命令セットをシーケンサが放棄した場合(バックアップ発生時)に使用され、第2割当フィールドは、命令が実行を完了した場合(後退の発生時)に使用される。このため第1割当エントリは、単にポイント変数を操作するだけで、シーケンサ12が、レジスタ・マッピングをバックアップして、割り当てべき新しいレジスタを獲得できるようにする。同様に、命令が実行されて完了した場合には、第2割当エントリは、以前の命令群(例: PACKET1)が当該マッピング・スロットを使用するように割り当てた物理レジスタを含む。実質的には、PACKET1の命令が実行されて完了に至る場合には、これらの命令内の論理レジスタに関連した「古い」物理レジスタは、後続の割当(マッピング)に使用できる。したがって前回のパスで割り当てられた新しい宛先レジスタは現在、有効なレジスタ・データを含んでいる。ライン53~ライン57は、命令デコード/発行論理16において、関連する命令のなかった(例: 図7に示すようなNOP命令)スロットに対するフリー・リスト32を更新している。

【0037】このため本発明は、レジスタ再命名を実行する一方で、以前の命令発行ポイントへとバックアップ動作を実行する機能を組み込んでいる方法を提供するものである。本発明は好適実施例に従って説明されているが、当業者にとっては、本発明が数多くの方法で実行できることは明かであろう。したがって添付請求の範囲は、本発明の真正の意図および範囲に属する本発明のすべての変形をカバーすることを意図している。

【0038】

【付録A】

```

19
Line 17 |                                     used_d,
Line 18 |                                     used_s1,
Line 19 |                                     used_s2,
Line 20 |                                     mod_d,
Line 21 |                                     } issue [ NUMBER_OF_PISSUES ];
Line 22 |
Line 23 | void map_registers (struct Instruction*i)
Line 24 | {
Line 25 |     unsigned n,
Line 26 |         new_issue,
Line 27 |         completed;
Line 28 |
Line 29 | new_issue      = (issue_point + 1) % NUMBER_OF_ISSUES;
Line 30 | completed      = (map [issue_point]. completed;
Line 31 | map [new_issue] = (map [issue_point];
Line 32 | map [new_issue]. completed = FALSE;
Line 33 |
Line 34 | for (n = 0; n < NUMBER_OF_ISSUES; n++, i++)
Line 35 | if (i ->op_code != NO_OPERATION )
Line 36 | {
Line 37 |     unsigned destination = i ->destination;
Line 38 |
Line 39 |     if (i ->used_s1)
Line 40 |         i ->source1 = map [issue_point]. current [i ->source1 ];
Line 41 |     if (i ->used_s2)
Line 42 |         i ->source2 = map [issue_point]. current [i ->source2 ];
Line 43 |     if (i ->used_d)
Line 44 |         i ->destination = map [issue_point]. current destination ];
Line 45 |
Line 46 |     if (i ->mod_d)
Line 47 |     {
Line 48 |         map [new_issue]. current[destination] = map [issue_point].
Line 49 |             new [completed] [n]
Line 50 |             = map [issue_point].
Line 51 |                 new [completed] [n]
Line 52 |                 = destination;
Line 53 |     }
Line 54 | }
Line 55 | else
Line 56 | {
Line 57 |     map [new_issue]. new[0][n] =
Line 58 |     map [new_issue]. new[1][n] = map [issue_point].
Line 59 |         new [completed][n]

```

【図面の簡単な説明】

【図 1】本発明の好適実施例に基づき、バックアップ機能を備えたレジスタ再命名機構を有するデータ処理システムをブロック図で示したものである。

【図 2】本発明の好適実施例に従って使用するために、

レジスタ・マッピング論理およびフリー・リスト論理を有するところの図 1 のレジスタ再命名機構をブロック図で示したものである。

【図 3】本発明に基づき、データ処理システム 10 が実行するレジスタ再命名動作を順追って例示したものであ

る。

【図4】本発明に基づき、データ処理システム10が実行するレジスタ再命名動作を順追って例示したものである。

【図5】本発明に基づき、データ処理システム10が実行するレジスタ再命名動作を順追って例示したものである。

【図6】本発明に基づき、データ処理システム10が実行するレジスタ再命名動作を順追って例示したものである。

【図7】本発明に基づき、データ処理システム10が実行するレジスタ再命名動作を順追って例示したものである。

【図8】本発明に基づき、データ処理システム10が実行するレジスタ再命名動作を順追って例示したものである。

【図9】本発明に基づき、データ処理システム10が実行するレジスタ再命名動作を順追って例示したものである。

【図10】本発明の好適実施例に従って、図2のレジスタ・マッピング論理の1個のマッピング・セルをブロック図で示したものである。

【図11】本発明の好適実施例に従って、図2のフリー・リスト論理の1個のフリー・リスト・セルをブロック図で示したものである。

【図12】本発明に従って、レジスタ再命名動作を示した流れ図である。

【符号の説明】

10 データ処理システム

12 シーケンサ・ウィンドウ制御論理

*14 命令キャッシュ

16 命令デコード／発行論理

18 再命名ハードウェア

20 物理レジスタ・ファイル

22 予約ステーション

24 実行装置

30 LPマップ

32 フリー・リスト

40～55 マップ・セル

10 60～75 フリー・リスト・セル

80～83 ポインタ

90 物理レジスタ・スワップ・バス

110, 114, 118, 122 マルチプレクサ

112, 116, 120 ラッチ

200 再命名順序付けの流れ図

202 論理・物理(LP)レジスタ・マップを初期化する

204 新しい発行チェックポイントに対する命令を発行する

206 LPマップに問い合わせ、ソース・レジスタの物理レジスタ名の位置を突きとめる。フリー・リストから物理レジスタ名を取り出して、LPレジスタ・マップ内に格納することによって、宛先レジスタに新しい物理レジスタ名を割り当てる。

208 例外状況または分岐予測誤りが発生しているか？

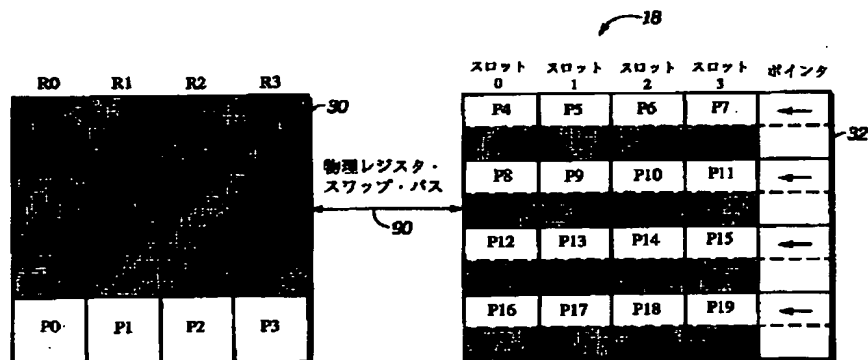
210 命令は完了したか？

212 命令を後退させる(新しい後退ポイント)

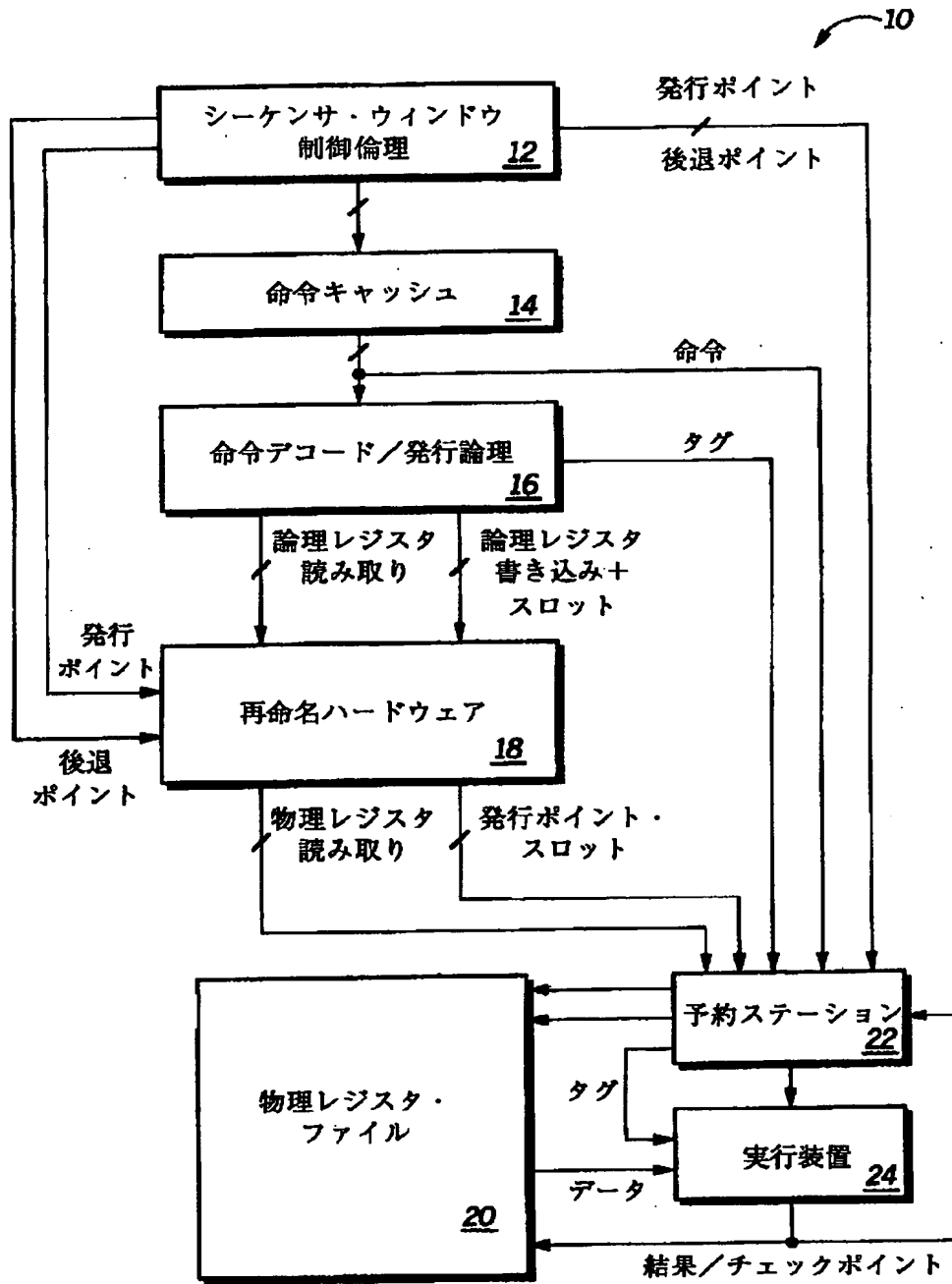
214 現在発行ポイントから最新の良好な発行ポイントまでLPレジスタ・マップをバックアップする

*30

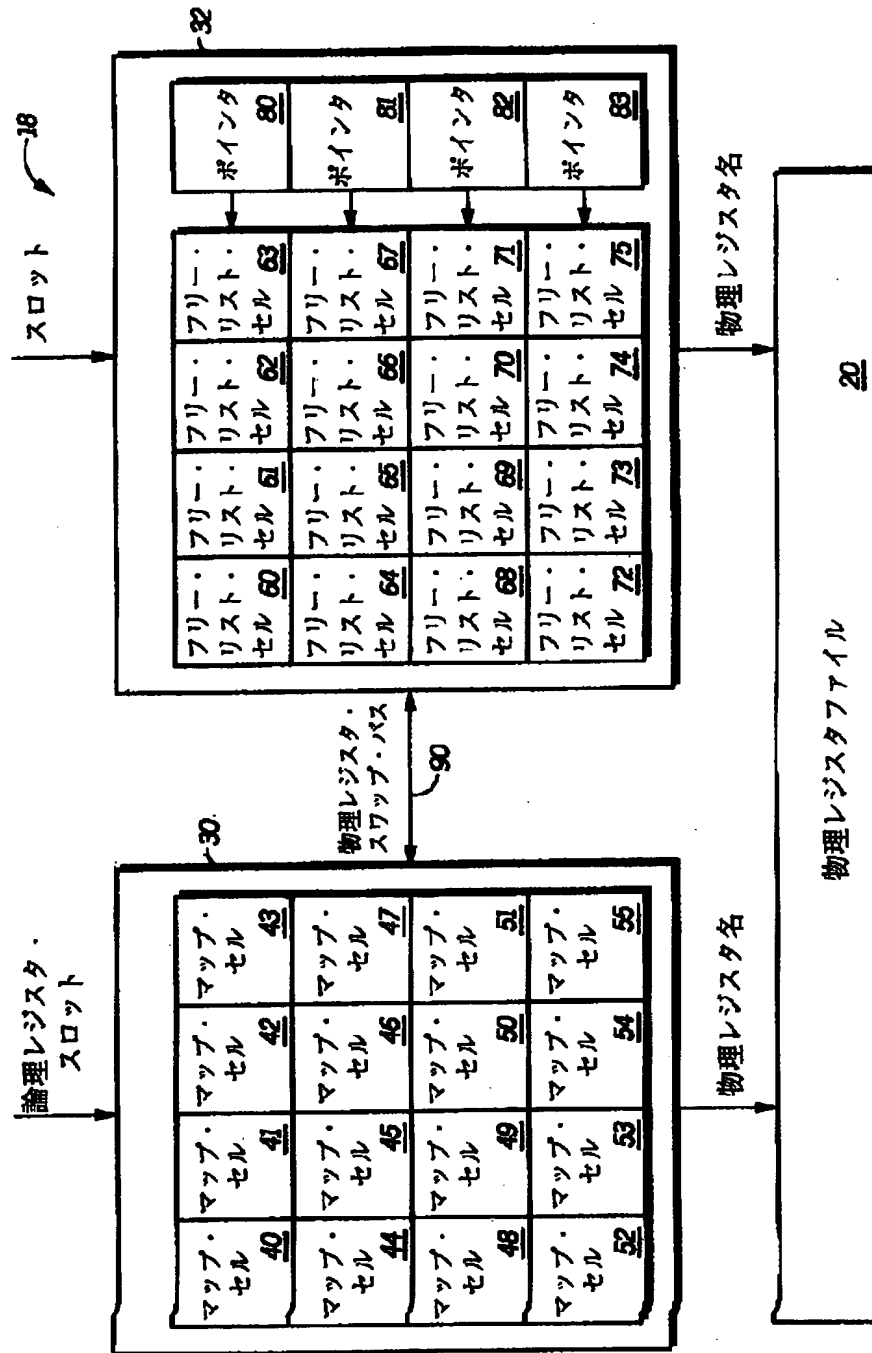
【図3】



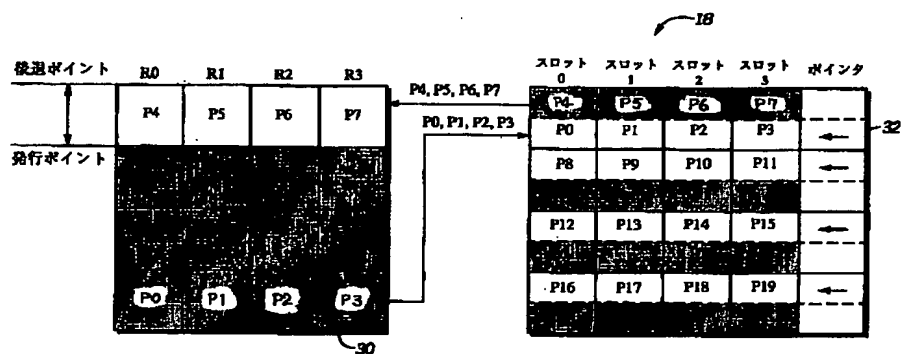
【図1】



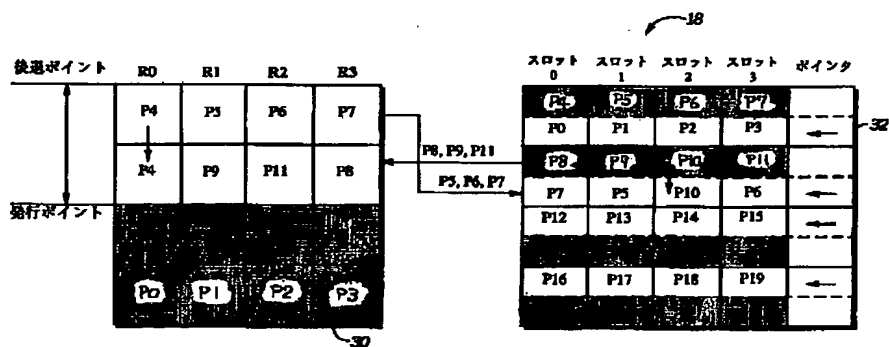
【図2】



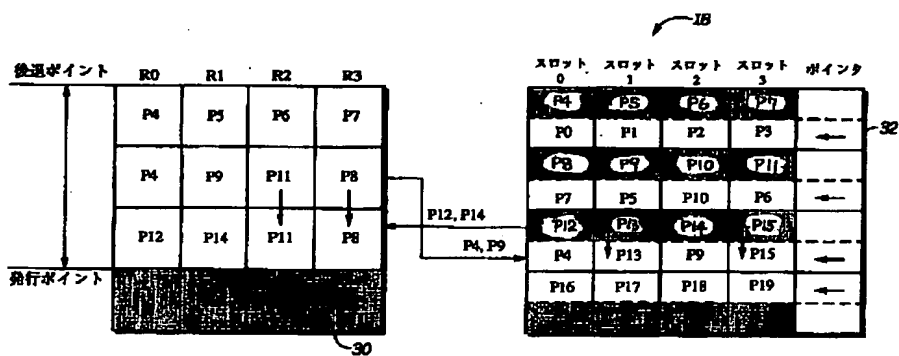
【図4】



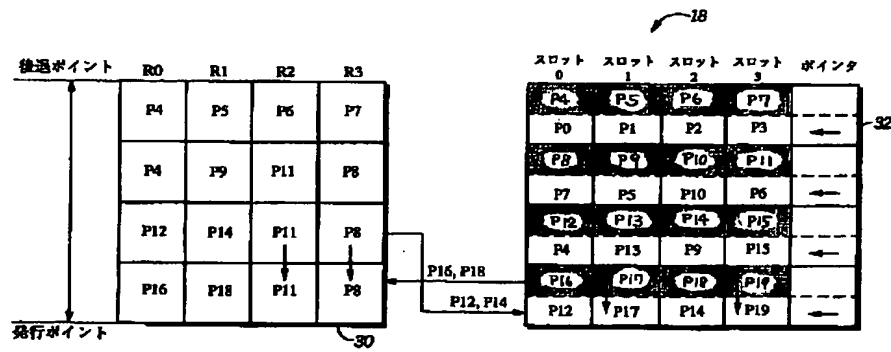
【図5】



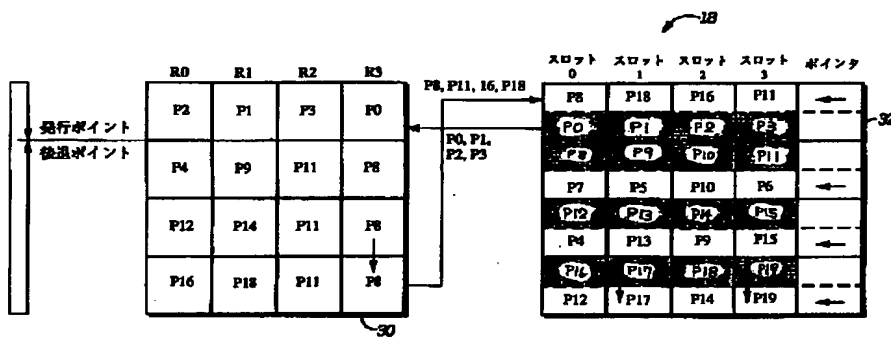
【図6】



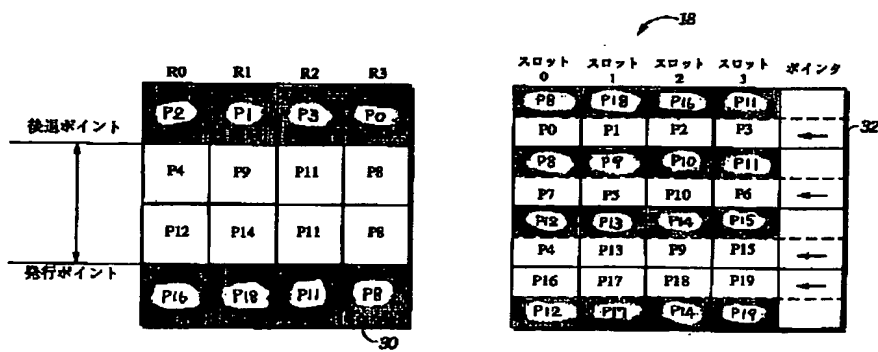
【図7】



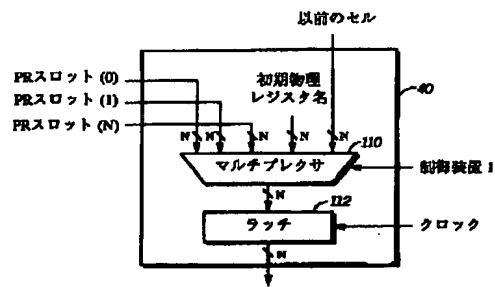
【図8】



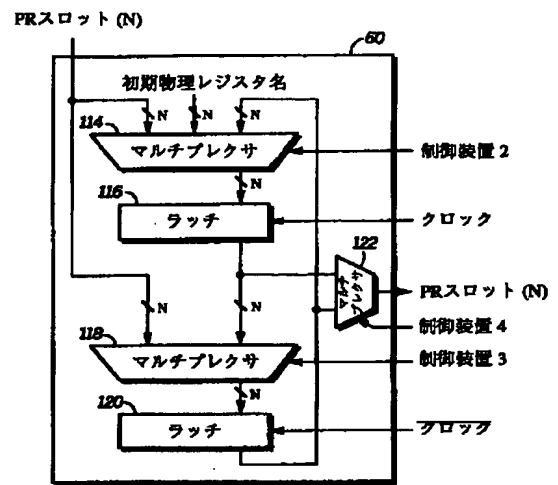
【図9】



【図10】



【図11】



【図12】

